

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07307412 A**(43) Date of publication of application: **21.11.95**

(51) Int. Cl.

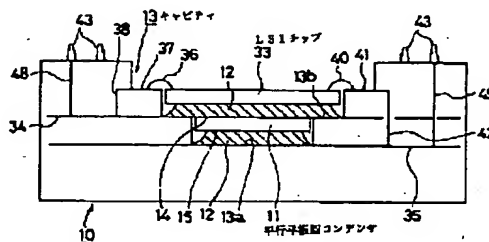
H01L 23/12**H01L 23/12**(21) Application number: **06096414**(22) Date of filing: **10.05.94**(71) Applicant: **SUMITOMO METAL IND LTD**(72) Inventor: **YAMAMOTO TOSHISHIGE
HASHIMOTO MASAYA
SHIOYA KOJI**(54) **MULTILAYER PACKAGE WITH BUILT-IN
BYPASS CAPACITOR**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To avoid the malfunction of an LSI by placing parallel flat plate type bypass capacitors in a cavity and placing integrated circuits directly just above the capacitors or above through support members.

CONSTITUTION: A 3-stage structured cavity 13 is formed in a central part of a package 10 in which ground layers 34 and power source layers 35 are formed such that a part of the layer 35 is exposed on the surface of a bottom part 3a of the cavity 13 and part of the layer 34 is also exposed on a face 13b above by one stage from the bottom 13a of the cavity 13. To the bottom 13a of the cavity 13, parallel flat plate type capacitors 11 are entirely adhered through a conductive material 12 serving as an adhesive agent, and just above the capacitor 11 an LSI chip 33 is adhered similarly through the material 13. Thus, a bypass capacitor-mounted multilayer package difficult to cause a malfunction is obtained.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-307412

(43)公開日 平成7年(1995)11月21日

(51)Int.Cl.⁸

H 0 1 L 23/12

識別記号

3 0 1 L

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/ 12

F

B

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21)出願番号

特願平6-96414

(22)出願日

平成6年(1994)5月10日

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72)発明者 山本 利重

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

(72)発明者 橋本 昌也

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

(72)発明者 塩屋 侯治

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

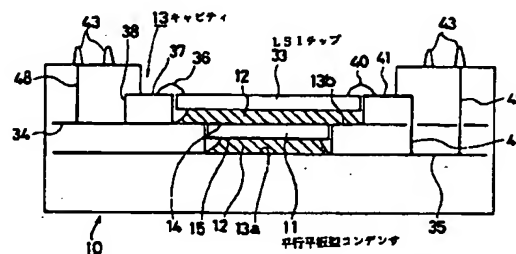
(74)代理人 弁理士 井内 龍二

(54)【発明の名称】 バイパス用コンデンサ搭載積層パッケージ

(57)【要約】

【構成】 キャパティ13を有しLSIチップ33が搭載された積層パッケージにおいて、バイパス用の平行平板型コンデンサ11がキャパティ13の内部に載置され、平行平板型コンデンサ11の直上にLSIチップ33が配設されてるバイパス用コンデンサ搭載積層パッケージ。

【効果】 LSIチップ33と平行平板型コンデンサ11との間のインダクタンスを小さくすることができる。とともに、コンデンサ自身のインダクタンス(ESL)も小さくすることができるため、スイッチングノイズなどを極めて小さくすることができ、LSIチップ33の誤動作が生じにくい積層パッケージを提供することができる。また積層パッケージ10自身の構造も簡単であるため、バイパス用コンデンサ搭載積層パッケージを安価に提供することができる。



【特許請求の範囲】

【請求項1】 キャビティを有し、集積回路チップが搭載されるバイパス用コンデンサ搭載積層パッケージにおいて、バイパス用平行平板型コンデンサが前記キャビティの内部に載置され、前記バイパス用平行平板型コンデンサの直上あるいは支持部材を介して上方に前記集積回路チップが配設されることを特徴とするバイパス用コンデンサ搭載積層パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はバイパス用コンデンサ搭載積層パッケージに関し、より詳細には高周波で動作するバイパス用コンデンサ搭載積層パッケージに関する。

【0002】

【従来の技術】 近年、IC、LSIなどの集積回路（以下、これらをまとめてLSIと記す）は高速、大容量化の一途をたどり、そのために用いられる信号は高周波化され、また内部回路は高集積化されてきている。そのため、これらに起因してLSIが搭載されたパッケージで発生するスイッチングノイズがLSIを誤動作させる要因として問題となっている。そこで、このようなスイッチングノイズを低減させるべく、バイパスコンデンサが搭載されたパッケージが、最近多く使用されるようになってきている。

【0003】 このバイパス用コンデンサが搭載されたパッケージのスイッチングノイズの大きさは、搭載されたLSIと前記バイパス用コンデンサとの間のインダクタンスの大きさに比例するため、コンデンサ自身がその構造上有するインダクタンス（ESL：Equivalent Series Inductance）、及び前記LSIと前記バイパスコンデンサとの間の配線部が有するインダクタンスをできるだけ小さくすることがスイッチングノイズを低減するための重要な要素となる。従って、バイパス用コンデンサとして、できるだけESLの小さいものを使用し、かつ通常LSI側に用意されている多数の電源パッド又は接地パッドとバイパス用コンデンサとの接続を行うための電流路をできるだけ短くすることが望ましい。

【0004】 従来から用いられている高速、大容量のLSIが搭載されるパッケージには、その電気特性を維持するために、電源層及び接地層が前記パッケージ中に形成された多層構造のものが使用されている。

【0005】 図5は、前記積層パッケージを模式的に示した断面図であり、前記積層パッケージにはバイパス用コンデンサとして大容量のチップコンデンサ31が搭載されている。

【0006】 このバイパス用チップコンデンサ31が搭載された積層パッケージにおいては、パッケージ30の中央部分に2段構造のキャビティ47が形成され、キャビティ47が形成されている面と反対側の面（以下、底面と記す）の端部付近にはバイパス用のチップコンデン

サ31が配設されている。また、パッケージ30の内部には接地層34及び電源層35が形成されており、接地層34はキャビティ47底部の表面に露出している。一方、LSIチップ33は接着剤の役割も兼ねた導電性材料32によりキャビティ47底部の表面に接着されており、これにより接地層34とLSIチップ33の裏面とが接続されている。

【0007】 また、パッケージ30底面に配設されたバイパス用のチップコンデンサ31にはパッケージ30との接着部分の一部に接地パッド45が形成されており、この接地パッド45はパッケージ30の内部に形成された1本のビアホール39を通じて接地層34に接続されている。一方、この接地層34はビアホール48を介してパッケージ30のピン43に接続されるとともに、パッケージ30のキャビティ47中段の表面に形成された多数の接地パッド37にも接続されており、この接地パッド37とLSIチップ33の接地パッド（図示せず）とはワイヤ36により接続されている。

【0008】 LSIチップ33とバイパス用のチップコンデンサ31との接地用配線の接続状態を整理してみると、まずLSIチップ33の多数の接地パッド（図示せず）からワイヤ36、キャビティ47に形成された接地パッド37、ビアホール38を介して導出された多数の電流路は接地層34に接続されて集約され、この接地層34から導出された1本のビアホール39を介してチップコンデンサ31に接続されていることになる。

【0009】 一方、電源用の配線についても、接地用の配線と同様の状態で配線がなされており、LSIチップ33からワイヤ40、パッケージ30に形成された電源パッド41、ビアホール42を介して導出された多数の電流路は電源層35に接続されて集約され、この電源層35はビアホール49を介してパッケージのピン43に接続されるとともに、1本のビアホール44を介し、チップコンデンサ31の電源パッド46に接続されている。

【0010】 このように、チップコンデンサ31と、接地層34又は電源層35との接続がそれぞれ1本のビアホール39、44によりなされているのは、チップコンデンサ31自体の寸法が小さく、従ってチップコンデンサ31の外部電極端子の寸法も小さいため、多数の配線（ビアホール）に接続することが難しいからである。

【0011】

【発明が解決しようとする課題】 このように、従来のバイパス用コンデンサ搭載積層パッケージでは、チップコンデンサ31がパッケージ30の底部表面など、LSIチップ33から遠い位置に配置されているため、せっかくLSIチップ33側に用意された図示しない多数の電源パッド又は接地パッドからの配線が一旦電源層35又は接地層34で集約され、集約された配線がバイパス用のチップコンデンサ31に接続されており、そのために

配線の長さが長くなり、結果としてインダクタンスが大きくなってしまおうという問題があった。また、チップコンデンサ31自身のESLも大きく、前記したLSIチップ33とバイパス用のチップコンデンサ31との間の配線の長さの問題及びチップコンデンサ31自身のインダクタンスの問題に起因して、そのインダクタンスが大きくなり、そのためにスイッチングノイズなどが大きくなり、LSIの誤動作の原因になるという課題があった。

【0012】また、図5に示したような構成のパッケージ30を使用すると、電源層35又は接地層34と接続するためのビアホール39、44が必要となり、内部配線層の複雑化のために、パッケージ30自体の製造コストも上昇するという課題もあった。

【0013】本発明はこのような課題に鑑みなされたものであり、LSIとバイパス用コンデンサとの間のインダクタンスが小さく、スイッチングノイズなどが極めて小さくなり、LSIの誤動作が生じにくいバイパス用コンデンサ搭載積層パッケージを安価に提供することを目的としている。

【0014】

【課題を解決するための手段】上記目的を達成するために本発明に係るバイパス用コンデンサ搭載積層パッケージは、キャビティを有し、集積回路チップが搭載されるバイパス用コンデンサ搭載積層パッケージにおいて、バイパス用平行平板型コンデンサが前記キャビティの内部に載置され、前記バイパス用平行平板型コンデンサの直上あるいは支持部材を介して上方に前記集積回路チップが配設されることを特徴としている。

【0015】

【作用】上記構成のバイパス用コンデンサ搭載積層パッケージによれば、キャビティを有し、集積回路チップ（以下、LSIチップと記す）が搭載されるバイパス用コンデンサ搭載積層パッケージにおいて、バイパス用平行平板型コンデンサが前記キャビティの内部に載置され、前記バイパス用平行平板型コンデンサの直上あるいは支持部材を介して上方に前記集積回路チップが配設されるので、前記バイパス用平行平板型コンデンサの外部電極面積を大きくとることが可能になり、前記バイパス用平行平板型コンデンサと前記LSIチップとの距離を短くして、LSIチップ側に用意された多数の電源パッド又は接地パッドとバイパス用コンデンサとの接続を行うための電流路を短くすることが可能になる。

【0016】また、前記バイパス用コンデンサが平行平板型であるので、前記バイパス用コンデンサを大きくすることができ、その内部の多層電極が多数のビアホールで接続されることにより、内部層を流れる電流路が短くなり、四方に分散され、その結果コンデンサ自身のインダクタンスも小さくなり、また積層パッケージにおける電源層又は接地層とコンデンサの外部電極端子との接続

を直接的全面接続とすることも可能となる。

【0017】従って、前記LSIチップと前記バイパス用コンデンサとの間のインダクタンスが小さくなるとともに、前記バイパス用コンデンサ自身のインダクタンスも小さくなり、スイッチングノイズなどが極めて小さくなり、LSIの誤動作が生じにくくなる。

【0018】さらに、前記バイパス用コンデンサ搭載積層パッケージの構造が簡単であるため、バイパス用コンデンサ搭載積層パッケージを安価に提供することが可能となる。

【0019】

【実施例】以下、本発明に係るバイパス用コンデンサ搭載積層パッケージの実施例を図面に基づいて説明する。

【0020】図1は実施例に係るバイパス用コンデンサ搭載積層パッケージを模式的に示した断面図である。

【0021】このバイパス用コンデンサ搭載積層パッケージにおいては、パッケージ10の中央部分に3段構造のキャビティ13が形成され、またパッケージ10の内部には接地層34及び電源層35が形成されており、電源層35の一部がキャビティ13の底部13a表面に露出し、接地層34の一部もキャビティ13の底部13aより1段上の面13bに露出している。

【0022】そして、キャビティ13の底部13aには接着剤の役割も兼ねた導電性材料12により平行平板型コンデンサ11がほぼ全面で接着され、この平行平板型コンデンサ11の直上に、同様に導電性材料12を介してLSIチップ33が接着されている。

【0023】平行平板型コンデンサ11の両主面には外部接続用電極14、15（図2）が形成されており、導電性材料12を介して電源層35と平行平板型コンデンサ11下面の外部電極15が電気的に接続され、一方、平行平板型コンデンサ11上面の外部電極14とLSIチップ33の裏面とも電気的に接続されている。またLSIチップ33と平行平板型コンデンサ11を接着している導電性材料12は露出した接地層34が存在する部分にも塗布されており、これによりLSIチップ33、平行平板型コンデンサ11及び接地層34の三者が互いに接続されている。

【0024】LSIチップ33の接地パッド（図示せず）は、ワイヤ36、パッケージの接地パッド37、ビアホール38を介して接地層34に接続され、接地層34より平行平板型コンデンサ11の外部電極14に接続されるとともに、ビアホール48を介してピン43に接続されている。LSIチップ33の電源パッド（図示せず）も同様に、ワイヤ40、パッケージの電源パッド41、ビアホール42を介して電源層35に接続され、電源層35より平行平板型コンデンサ11の外部電極15に接続されるとともに、ビアホール49を介してピン43に接続されている。

【0025】本実施例によれば、図5に示した従来のバ

10

20

30

40

50

イバス用コンデンサ搭載積層パッケージのように、多数の電流路を集約し、長い配線によりバイパス用のチップコンデンサ31に接続する必要がなく、接地層34又は電源層35を介して、短くかつ太い電流路により平行平板型コンデンサ11に接続することができるため、インダクタンスを小さくすることができる。

【0026】次に、本実施例で使用している平行平板型コンデンサ11をさらに詳しく説明する。

【0027】図2は平行平板型コンデンサ11を模式的に示した断面図であり、図3はその分解斜視図であり、図中、19a、19b、19c、19d、19eは誘電体層を示している。

【0028】なお、平行平板型コンデンサ11は、焼成により完全に一体化されており、各誘電体層19a…を実際に分離することはできないが、図3においては便宜上各誘電体層19a…を分離させた状態で示している。

【0029】図2及び図3に示したように、平行平板型コンデンサ11の内部には内部電極16b、16c、16d、16eの層が形成されているが、内部電極16b…には一部円形状に電極の形成されていない部分18b、18c、18d、18eが存在し、この電極の形成されていない部分18b…には、内部電極16b…に接触しない状態でビアホール17a、あるいはビアホール17bが形成されている。外部電極14、15と内部電極16b…との間の接続についてみると、上面の外部電極14は1層づつ隔てた2つの内部電極16c、16eにビアホール17aを介して接続されており、一方下面の外部電極15はやはり1層づつ隔てた内部電極16d、16bとビアホール17bを介して接続されて*

おり、互いに隣接する内部電極同士は接続されないようになっている。

【0030】上記の構造の平行平板型コンデンサ11では、内部電極16b…を流れる電流の向きが一定方向に偏らないように分散されとともに、形成された多数のビアホール17a、17bにより電流の流れる距離が短くなり、その結果ESLが小さくなり、スイッチングノイズを小さくすることができる。この場合、平行平板型コンデンサ11のESLの大きさはビアホール17a、17bの数にほぼ逆比例し、ビアホール17a、17bの数が多いほどESLは小さくおさえられる。また、内部電極16b…の数と静電容量とは比例関係にあるため、要求される静電容量に合わせて、誘電体材料の種類を選び、内部電極16b…の数を選択すればよい。

【0031】このような構成の上記実施例（実施例1とする）に係るバイパス用コンデンサ搭載積層パッケージのインダクタンスを実際に測定した。なお、比較例1として図5に示した従来のバイパス用コンデンサ搭載積層パッケージについても同様にインダクタンスを測定した。内部の各場所でのインダクタンス、及び合計のインダクタンスを下記の表1に示している。

【0032】なお、実施例1及び比較例1のいずれの場合においても、ワイヤ36、ワイヤ40、接地パッド37、及び電源パッド41の数はそれぞれ40であり、比較例に係るバイパス用コンデンサ搭載積層パッケージに用いられているチップコンデンサ31は4個である。

【0033】

【表1】

	ワイヤ	パッド	接地層	ビアホール	チップESL	合計ESL
実施例1	3nH/40	2nH/40	100pH	—	50pH	275pH
比較例1	3nH/40	2nH/40	200pH	1nH/4	1nH/4	825pH

【0034】上記結果より明らかなように、実施例1に係るバイパス用コンデンサ搭載積層パッケージのインダクタンスは、従来のもの（比較例1）と比べて1/3に減少している。

【0035】以上説明したように、上記実施例に係るバイパス用コンデンサ搭載積層パッケージでは、LSIチップ33が短い電流路でバイパス用コンデンサ11に電氣的に接続されているためインダクタンスが小さくなり、さらにバイパス用コンデンサ11が図2及び図3に示したような平行平板型コンデンサであるので、コンデンサ自身のESLも小さくなり、この結果スイッチングノイズなどを極めて小さくすることができ、LSIにおける誤動作の発生を防止することができる。

【0036】さらに、前記バイパス用コンデンサ搭載積

層パッケージはその構造が簡単であるため、安価に提供することができる。

【0037】次に、別の実施例に係るバイパス用コンデンサ搭載積層パッケージを説明する。図4は、実装方式にフリップトTAB（Tape Automated Bonding）を用いたバイパス用コンデンサ搭載積層パッケージを模式的に示した断面図であり、この場合、ピン43はLSIチップ33が実装されたフリップトTAB21が搭載されている面と反対側の面に配設されている。

【0038】本実施例に係るバイパス用コンデンサ搭載積層パッケージにおいても、キャビティ23が中央部分に形成され、その内部に形成された接地層34、電源層35のうち、接地層34の一部がキャビティ23において露出している。

【0039】一方、キャビティ23の内部には平行平板型コンデンサ11が導電性材料12を介してその底部に接着されており、平行平板型コンデンサ11の上面に形成された外部電極14は露出している。また、平行平板型コンデンサ11の上方には支持ゴム24を介してフリップトTAB21が配設されており、このフリップトTAB21にはLSIチップ33が実装されている。

【0040】配線の接続状態については、LSIチップ33の接地パッド（図示せず）はフリップトTAB21に形成された配線に接続され、このフリップトTAB21の配線は、パッケージ22表面に形成された接地パッド25に接続され、さらにビアホール26を介して接地層34に接続されている。

【0041】一方、LSIチップ33の電源パッド（図示せず）は、フリップトTAB21に形成された配線を介してパッケージ22の電源パッド27に接続されており、この電源パッド27はパッケージ22の中心に向かって伸びている多数のワイヤ40を介して、平行平板型コンデンサ11の上面の外部電極14と接続されてい

る。また、パッケージ22の電源パッド27はビアホール*20

	T A B	パッド	ワイヤ	マッパシス	合計マッパシス
実施例 2	1nH/40	1nH/40	3nH/40	50pH	175pH

【0046】上記結果より明らかなように、実施例2に係るバイパス用コンデンサ搭載積層パッケージのインダクタンスはさらに減少し、従来のもの（比較例1）と比べて約1/5になっている。

【0047】以上説明したように実施例に係るバイパス用コンデンサ搭載積層パッケージにあっては、LSIチップ33から短い電流路でバイパス用の平行平板型コンデンサ11に接続されているためインダクタンスが小さくなり、さらにバイパス用コンデンサが平行平板型コンデンサ11であるので、コンデンサ自身のESLも小さくなり、この結果スイッチングノイズなどを極めて小さくすることができ、LSIにおける誤動作の発生を防止することができる。

【0048】さらに、前記バイパス用コンデンサ搭載積層パッケージの構造が簡単であるため、バイパス用コンデンサ搭載積層パッケージを安価に提供することができる。

【0049】

【発明の効果】以上詳述したように本発明に係るバイパス用コンデンサ搭載積層パッケージにあっては、キャビティを有し、ＬＳＩチップが搭載されたバイパス用コンデンサ搭載積層パッケージにおいて、バイパス用平行平板型コンデンサが前記キャビティの内部に載置され、前記バイパス用平行平板型コンデンサの直上あるいは支持部材を介して上方に前記ＬＳＩチップが配設されているので、前記バイパス用平行平板型コンデンサと前記ＬＳ

*ル28を介して電源層35にも接続されている。なお、ピン43への接続は、それぞれ接地層34及び電源層35からビアホール29を介して行われている。

【0042】図4に示したバイパス用コンデンサ搭載積層パッケージにおいても、LSIチップ（図示せず）と平行平板型コンデンサ11間の配線は短く、1本のビアホールに電流が集約されないため、そのインダクタンスは小さく、平行平板型コンデンサ11自身のESLも小さく、LSIの誤動作が生じにくい。

【0043】本実施例に係るバイパス用コンデンサ搭載積層パッケージ（実施例2とする）についても、上記実施例1の場合と同様にインダクタンスを測定した。

【0044】この場合、フリップトTAB21から接地パッド25への配線、フリップトTAB21から電源パッド27への配線、ワイヤ40、接地パッド25、及び電源パッド27の数もそれぞれ40である。結果を下記の表2に示している。

【0045】

【表2】

Iチップとの距離を短くして、LSIチップ側に用意された多数の電源パッド又は接地パッドとバイパス用コンデンサとの接続を行うための電流路を短くすることができる。

【0050】また、前記バイパス用コンデンサが平行平板型であるので、コンデンサ自身のインダクタンス（ESL）も小さくなり、また積層パッケージにおける電源層又は接地層とコンデンサの外部電極端子との接続を直接的全面接続とすることができる。

【0051】すなわち、本発明に係るバイパス用コンデンサ搭載積層パッケージにあっては、LSIチップとバイパス用コンデンサとの間のインダクタンスを小さくすることができるとともに、前記バイパス用コンデンサ自身のインダクタンス（ESL）も小さくすることができるため、スイッチングノイズなどを極めて小さくすることができ、LSIの誤動作が生じにくいバイパス用コンデンサ搭載積層パッケージを提供することができる。

【0052】さらに、前記バイパス用コンデンサ搭載積層パッケージの構造が簡単であるため、バイパス用コンデンサ搭載積層パッケージを安価に提供することができる。

【図面の簡単な説明】

【図１】本発明の実施例に係るバイパス用コンデンサ搭載積層パッケージを模式的に示した断面図である。

【図2】実施例に係るバイパス用コンデンサ搭載積層パッケージに用いられた平行平板型コンデンサを模式的に

示した断面図である。

【図3】実施例に係るバイパス用コンデンサ搭載積層パッケージに用いられた平行平板型コンデンサを模式的に示した分解斜視図である。

【図4】別の実施例に係るバイパス用コンデンサ搭載積層パッケージを模式的に示した断面図である。

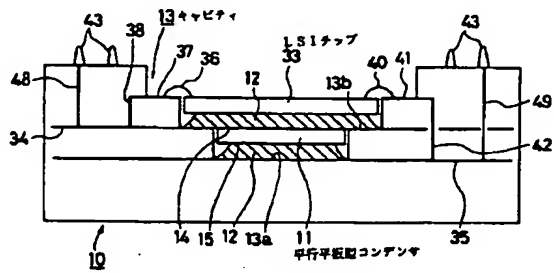
【図5】従来のバイパス用コンデンサ搭載積層パッケージ

を模式的に示した断面図である。

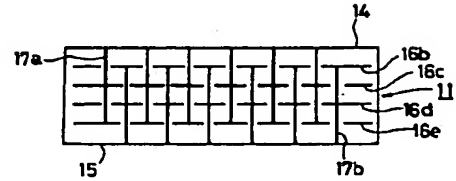
【符号の説明】

- 1 1 平行平板型コンデンサ
- 1 3 キャビティ
- 2 4 支持ゴム
- 3 3 LSIチップ

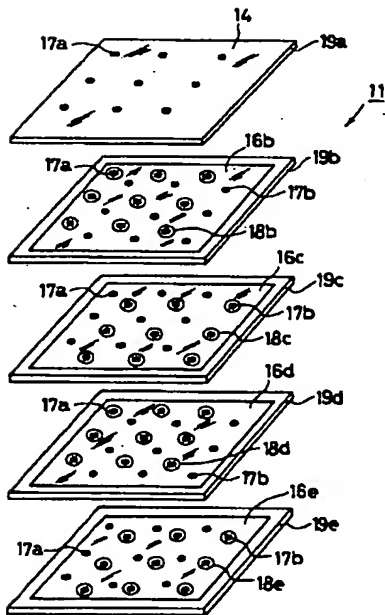
【図1】



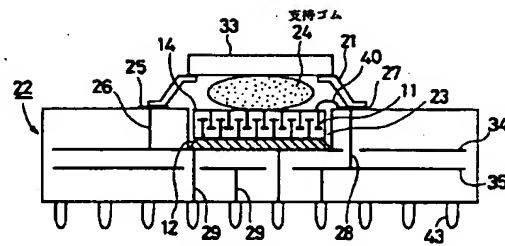
【図2】



【図3】



【図4】



【図5】

